

Thèse de doctorat

Etude et conception d'un émetteur-récepteur numérique pour les réseaux sur puce sans fil

Mots clés : réseaux sur puce sans fil, émetteur-récepteur numérique en bande de base, CDMA (Code Division Multiple Access), conception VLSI et FPGA, architectures multi-cœurs

Laboratoire : INRIA/IRISA – équipe-projet CAIRN

<https://team.inria.fr/cairn>

Lieu : Lannion

Contacts : Olivier Sentieys <olivier.sentieys@inria.fr>, Christian Roland <christian.roland@univ-ubs.fr>

Les évolutions de l'électronique et de la microélectronique se traduisent par plus de fonctionnalités par mm², des débits de plus en plus importants, une mise en œuvre de systèmes reconfigurables pour plus de souplesse d'utilisation, et bien sûr une consommation de plus en plus faible. Ces développements sont aujourd'hui freinés par les interconnexions filaires qui, à cause des délais, de la diaphonie et des problèmes de désadaptations qu'elles engendrent, limitent les débits d'informations et entraînent des consommations importantes. De plus ces interconnexions occupent de grandes surfaces au sein des cartes et puces électroniques, et ne facilitent en rien la modularité des circuits. Pour pallier à ces limitations, plusieurs solutions émergent actuellement. Les quatre principales voies de recherche concernent : les interconnexions 3D, les interconnexions optiques, les interconnexions RF filaires et les interconnexions radio sans fils. Si les trois premières solutions répondent en partie à un certain nombre des problèmes notamment à ceux des débits, de surface, voire de consommation, les interconnexions radio sans fil nous paraissent être l'une des voies les plus prometteuses puisqu'elles répondent a priori à l'ensemble des contraintes et permettent le développement de nouveaux modes de gestion des mémoires ainsi que de nouvelles approches pour la gestion des calculs parallèles. Enfin, les interconnexions sans fil apportent une grande flexibilité aux schémas de communications par rapport aux systèmes filaires.

Aujourd'hui, une autre évolution de l'électronique intégrée concerne le développement du concept de réseau sur puce (NoC « *Network on Chips* ») permettant de relier les différents cœurs et mémoires d'une puce entre eux. L'objectif de cette approche réseau est d'améliorer les performances des puces électroniques en normalisant les chemins d'accès aux données. Le développement des nouvelles approches des interconnexions permet d'envisager l'extension de ce paradigme réseau à la transmission d'information au sein des cartes, racks...

La thèse proposée ici, fait partie du projet BBC (*Wireless interconnect network on chip or in board for Broadcast-Based parallel Computing*) déposé auprès du Labex CominLabs. Elle portera plus particulièrement sur l'étude des techniques d'accès et des schémas de modulation pour les transmissions sans fils au sein du réseau sur puce ou sur carte. Nous chercherons notamment à définir et concevoir la partie émetteur/récepteur numérique et nous adresserons notamment la définition des modes d'accès (CDMA, UWB, ...). Dans le cadre de ce projet deux autres thèses sont également demandées, l'une concerne la conception des « transceivers » radio nécessaires la caractérisation des canaux de transmission et l'autre porte sur l'utilisation des possibilités apportées par le broadcast pour développer de nouvelles méthodes de gestion des mémoires et des calculs parallèles

L'utilisation de communications radio au sein des puces et cartes électroniques est l'un des aspects très innovants de ce projet, il n'existe en effet que très peu de travaux sur ce sujet. De plus l'association de cette approche communication hertzienne avec le paradigme réseau est un autre aspect très prometteur en termes de développement de nouveaux concepts pour la gestion des mémoires et du calcul parallèle.

La thèse proposée ici portera sur la conception des techniques d'accès et de modulation, ainsi que du protocole MAC, et les travaux adresseront le développement des blocs numériques correspondant sous contraintes de faible consommation et de performance liées aux débits envisagés. L'objectif global de cette thèse est de déterminer les performances, en termes de débit, de consommation, de complexité, et de surface occupée des blocs numériques, que l'on peut espérer atteindre en utilisant des communications sans fils pour des réseaux sur carte (WiNoB « *Wireless interconnect Network on Board* ») ou intra-puce (WiNoC « *Wireless Network on Chip* »).

Le réseau NoC sans fil est multicouche et hiérarchique. Nous considérons deux émetteurs-récepteurs radio différents. Le premier sera utilisé pour les communications intra-puce (WiNoC) et le second pour les communications inter-puces (WiNoB). L'analyse de la passerelle entre les deux environnements sera aussi une partie de cet objectif. Pour les communications intra-puce, des transmissions CDMA (accès multiple à répartition

par code) conventionnelles seront étudiées et mises en œuvre. En outre, les modulations de type radio par impulsion doivent être évaluées car la proximité des antennes permettra de minimiser le frontal radio analogique. La radio impulsionnelle en tant que bus de communication peut permettre de simplifier considérablement la complexité de l'interface radio. Combinée avec la technique d'accès CDMA, ceci devrait conduire à un WiNoC efficace et très flexible.

Au niveau des couches PHY et RF, nous envisageons d'étudier différentes techniques et de les comparer en termes de débit de données, de latence, de consommation énergétique et de coût en surface de silicium. Ces évaluations de performances seront effectuées pour différents scénarios et pour différents environnements de propagation et de distances. Nous pensons actuellement que la radio impulsionnelle (IR), à savoir la radio ultra-large bande, devrait être utilisée pour les communications à courte portée (intra-puce courte distance), tandis que la radio à bande étroite combinée avec les techniques d'accès comme CDMA devrait être utilisée pour les longues distances en intra-puce et inter-puces (WiNoB). Des comparaisons avec d'autres schémas de modulation, comme par exemple les modulations OFDM complexes, seront effectuées. Pour des distances très courtes, des comparaisons de performance et de coût avec les communications câblées (avec fil) sont également indispensables.

Pour les couches liaison et MAC, nous proposons donc de répondre aux deux questions suivantes :

- Quelle est la meilleure technique d'accès permettant de partager le médium de communications entre les puces ou les tuiles à l'intérieur de la puce, et pour permettre les nouvelles fonctionnalités que nous envisageons dans le projet (*broadcast*, flexibilité, faible puissance) ?
- Est-il pertinent d'utiliser des codes correcteurs d'erreurs pour obtenir un compromis entre linéarité de l'émetteur, surface de silicium et puissance de transmission d'une part, et consommation de puissance et taux d'erreur de données, d'autre part ?

Pour la couche d'accès, nous envisageons principalement l'utilisation du CDMA comme un moyen de partager le médium de communication entre les différents blocs. Le CDMA sera comparé avec d'autres techniques d'accès telles que le TDMA ou l'OFDMA. Enfin, la contrainte de faible consommation de puissance sera une préoccupation majeure pour atteindre cet objectif et l'architecture numérique de l'émetteur-récepteur sera conçue dans cet esprit.

Différentes tâches ont d'ores et déjà été identifiées pour ce travail de thèse.

- La première tâche consistera en une étude bibliographique sur les différentes approches concernant les interconnexions radios pour les communications inter et intra puces. L'objectif de cette étude est d'identifier les techniques les plus pertinentes et les principales contraintes notamment sur les techniques d'accès et de modulation.
- L'étude de techniques en rupture par rapport à l'état de l'art, notamment le CDMA pour l'accès au médium et la radio impulsionnelle. L'estimation de leur faisabilité et l'identification des verrous à lever.
- L'évaluation des bilans de liaison envisageables par l'étude des techniques d'accès multiples et leur couplage avec les formes d'ondes envisageables ainsi que par l'estimation des caractéristiques des canaux de transmission.
- La conception des blocs numériques de l'émetteur/récepteur pour les techniques retenues. L'évaluation des performances, surface et consommation des blocs conçus. La comparaison avec les techniques de l'état de l'art.
- Les possibilités de distribution synchrone des horloges sans fil.
- Finalement une synthèse des différentes études sera faite et en collaboration avec les autres lots de travail du projet BBC les modèles nécessaires aux simulateurs numériques seront définis.

Cette thèse s'inscrit dans le cadre du projet BBC déposé auprès du Labex COMINLABS. Ce projet vise à apporter des solutions énergétiquement pertinentes pour le développement des systèmes électroniques et notamment les équipements de type centre de calcul, gestion des *cloud* et du *big-data*. L'équipe participant au projet BBC est composée de chercheurs venant de l'INRIA à LANNION, du Lab-STICC à LORIENT et à BREST. Une équipe du CEA-LETI intervient également sur ce projet notamment en tant qu'expert sur les technologies CMOS.

Profil du candidat (compétences scientifiques et techniques requises) : pour réaliser l'ensemble des travaux concernant cette thèse, le candidat devra principalement posséder une très bonne connaissance en traitement du

signal pour les communications numériques, en architecture des ordinateurs et en conception de circuits intégrés numériques, notamment sous contrainte d'énergie.

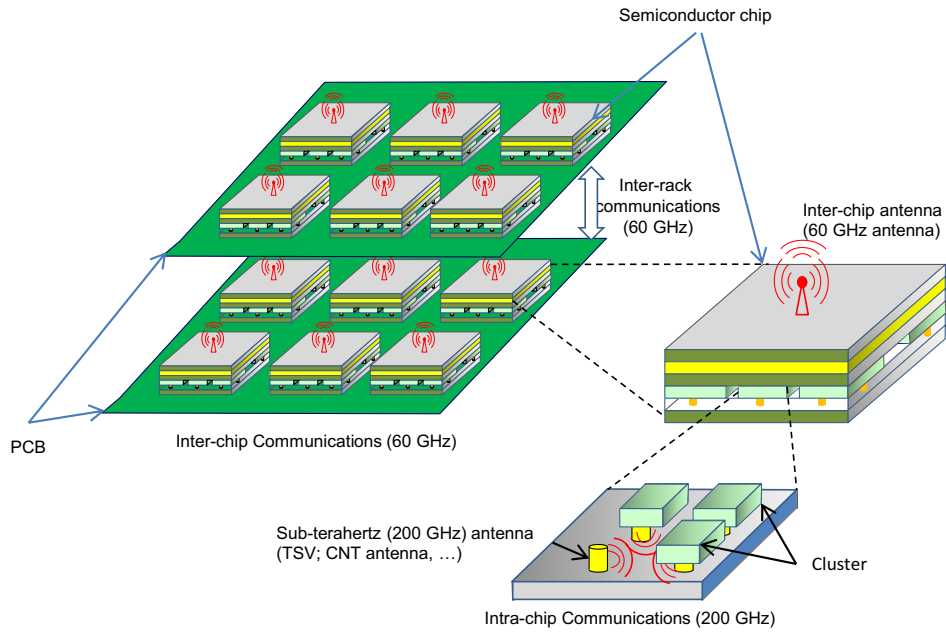


Figure 1: Wireless links and Network Hierarchy from Intra Cluster to Inter Chip

Références

- [DIT13] D. Ditomaso, A. Kodi, D. Matolak, S. Kaya, S. Laha, W. Rayess, and A. N. Design, "Energy-efficient Adaptive Wireless NoCs Architecture," in International Symposium on Networks on Chip (NoCS), 2013 Seventh IEEE/ACM, 2013, no. 2, pp. 1–8.
- [DUT13] D. Dutoit, E. Guthmuller and I. Miro-Panades, "3D Integration for Power-Efficient Computing," DATE 2013.
- [GAN11] A. Ganguly and al, "Scalable Hybrid Wireless Network-on-Chip Architectures for Multicore Systems," IEEE Trans. Comput., vol. 60, no. 10, pp. 1485–1502, 2011. DOI: 10.1109/TC.2010.176
- [HOS07] Y. Hoskote et al, "A 5-GHz Mesh Interconnect for a Teraflops Processor", IEEE MICRO, 2007
- [KEN05] K O Kenneth and others, "On-Chip Antennas in Silicon ICs and Their Application," 52 (2005), 1312–23.
- [SIL13] A. Siligaris, F. Chaix, M. Pelissier, V. Puyal, J. Zevallos, L. Dussopt, and P. Vincent, "A low power 60-GHz 2.2-Gbps UWB transceiver with integrated antennas for short range communications," Dig. Pap. - IEEE Radio Freq. Integr. Circuits Symp., no. c, pp. 297–300, 2013.
- [VIL12] Vidapalapati A., Vijayakumaran V., Ganguly A., Kwasinski A., "NoC architectures with adaptive Code Division Multiple Access based wireless links" IEEE International Symposium on Circuits and Systems (ISCAS), 2012
- [WAN07] Xin Wang, Tapani Ahonen, and Jari Nurmi, "Applying CDMA Technique to Network-on-Chip," IEEE Trans on VLSI System, VOL. 15, NO. 10, Oct. 2007.