

Thèse de doctorat

Titre : Accélération matérielle de la simulation de plateformes multi-cœurs hétérogènes

Title: Hardware Accelerated Simulation of Heterogeneous Multicore Platforms

Mots clés : architectures reconfigurables, FPGA, accélération matérielle, plateformes multi-cœurs hétérogènes, simulation, vérification

Keywords : Reconfigurable Architectures, FPGA, Heterogeneous Multicore, Hardware acceleration, Simulation, Verification

Laboratoire : INRIA/IRISA – équipe-projet CAIRN

<https://team.inria.fr/cairn>

Contacts : François Charot francois.charot@inria.fr

Sujet/Subject

Les architectures multi-cœurs hétérogènes associant processeurs à usage général, réseaux sur puce et accélérateurs matériels dédiés (accélérateurs reconfigurables à gros grain ou à grain fin) offrent le meilleur compromis énergie, performance, coût et flexibilité. Le nombre et la diversité des paramètres qui caractérisent de telles plates-formes matérielles conduisent, lors des étapes de conception, à investiguer un espace d'exploration gigantesque, et à trouver les bons compromis, en particulier aussi en lien avec les applications cibles de ces architectures. Cette prise de décision passe par la réalisation de simulations d'un grand nombre de solutions potentielles. De nombreux environnements logiciels de simulation, tant industriels qu'académiques existent. Néanmoins aucun d'eux ne supporte les architectures multi-cœurs fortement hétérogènes (incluant les accélérateurs reconfigurables à gros grain). Ils sont par ailleurs conçus pour supporter une simulation de type événementielle et rarement adaptés à exploiter les supports d'exécution multi-cœurs actuels [1] (plates-formes de simulation à base de SystemC, Simics, et Gem5). La tendance actuelle vers les architectures multi-cœurs ne fait qu'accentuer ce problème, elle rend les simulateurs purement logiciels de moins en moins performants. Pour s'attaquer à ce problème, plusieurs équipes de recherche ont travaillé au cours des dernières années sur l'accélération matérielle de la simulation. Les recherches les plus marquantes sont celles qui concernent l'utilisation des circuits programmables FPGA pour l'accélération de la simulation (« *FPGA Accelerated Model Execution, (FAME) techniques* » [2]). Les simulateurs tels que FAST [3], HAsim [4], Ramp Gold [5] et ProtoFlex [6] tirent profit de ces techniques. Il est clair que les FPGA modernes actuels sont des cibles parfaites pour l'implantation de simulateurs multi-cœurs. Mais aujourd'hui aucun environnement de simulation existant ne cible les architectures fortement hétérogènes, alors que des simulateurs combinant à la fois vitesse et précision de la simulation sont absolument nécessaires pour concevoir ces architectures.

Cette thèse vise à contribuer à combler ce manque en étudiant comment la conception d'architectures multi-cœurs fortement hétérogènes peut tirer profit de l'accélération matérielle de la simulation, et ce plus particulièrement en utilisant les FPGA. Parmi les nombreux défis, la gestion des accélérateurs matériels (en particulier du point de vue d'un modèle abstrait de simulation) et leur simulation accélérée sur FPGA sera au cœur de nos préoccupations.

Références

- [1] R. Leupers and O. Temam, Eds., Processor and System-on-Chip Simulation. Boston, MA: Springer US, 2010.
- [2] Z. Tan, A. Waterman, H. Cook, S. Bird, K. Asanović, and D. Patterson, "A Case for FAME: FPGA Architecture Model Execution," in Proceedings of the 37th Annual International Symposium on Computer Architecture, New York, NY, USA, 2010, pp. 290–301.
- [3] D. Chiou, D. Sunwoo, J. Kim, N. A. Patil, W. Reinhart, D. E. Johnson, J. Keefe, and H. Angepat, "FPGA-Accelerated Simulation Technologies (FAST): Fast, Full-System, Cycle-Accurate Simulators," in Proceedings of the 40th Annual IEEE/ACM International Symposium on Microarchitecture, Washington, DC, USA, 2007, pp. 249–261.
- [4] M. Pellauer, M. Adler, M. Kinsy, A. Parashar, and J. Emer, "HAsim: FPGA-based high-detail multicore simulation using time-division multiplexing," in 2011 IEEE 17th International Symposium on High Performance Computer Architecture (HPCA), 2011, pp. 406–417.
- [5] Z. Tan, A. Waterman, R. Avizienis, Y. Lee, H. Cook, D. Patterson, and K. Asanović, "RAMP Gold: An FPGA-based Architecture Simulator for Multiprocessors," in Proceedings of the 47th Design Automation Conference, New York, NY, USA, 2010, pp. 463–468.
- [6] E. S. Chung, M. K. Papamichael, E. Nurvitadhi, J. C. Hoe, K. Mai, and B. Falsafi, "ProtoFlex: Towards Scalable, Full-System Multiprocessor Simulations Using FPGAs," ACM Trans. Reconfigurable Technol. Syst., vol. 2, no. 2, pp. 15:1–15:32, Jun. 2009.